

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-057347

(43)Date of publication of application : 27.02.2001

(51)Int.Cl.

H01L 21/28  
H01L 21/8234  
H01L 27/088  
H01L 27/10

(21)Application number : 11-230867

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.08.1999

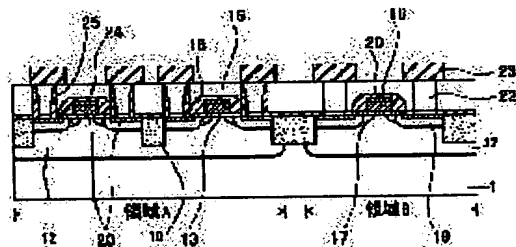
(72)Inventor : CHIKAMATSU NAOHITO

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING IT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device where the same fine processing technique is used for processes through which memories and logics are formed.

**SOLUTION:** Contact holes used in a memory and a logic are set uniform in diameter when a contact hole 22 is bored, by which processing can be carried out through one lithography process. Through an insulating film forming process which is carried out after a contact hole 22 is bored, only a contact hole bored in a memory A is lessened in diameter, and a gate electrode 16 and the contact hole 22 are ensured of insulation properties by an insulating film side wall which is formed on the side wall of the contact hole 22.



## LEGAL STATUS

[Date of request for examination]

16.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-57347

(P2001-57347A)

(43)公開日 平成13年2月27日(2001.2.27)

| (51)Int.Cl. <sup>7</sup> | 識別記号  | F I           | テームト*(参考)         |
|--------------------------|-------|---------------|-------------------|
| H 0 1 L 21/28            |       | H 0 1 L 21/28 | L 4 M 1 0 4       |
| 21/8234                  |       | 27/10         | 4 6 1 5 F 0 4 8   |
| 27/088                   |       | 27/08         | 1 0 2 D 5 F 0 8 3 |
| 27/10                    | 4 6 1 |               |                   |

審査請求 未請求 請求項の数6 O L (全 11 頁)

(21)出願番号 特願平11-230867

(22)出願日 平成11年8月17日(1999.8.17)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 親松 尚人

神奈川県横浜市磯子区新杉田町8番地株式  
会社東芝横浜事業所内

(74)代理人 100083161

弁理士 外川 英明

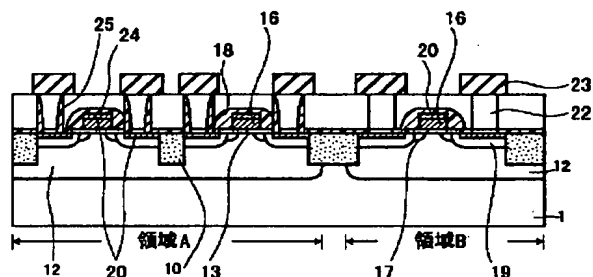
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】現在のロジック製品では、パターンの規則性が少なく、ランダムなレイアウトに対して製造マージンを確保させねばならないためメモリーの微細加工技術を用いる事が難しく、これが最新のロジックとメモリアプロセスを組み合わせた先端のLSIを製造する大きな障害となっていた。本発明は、ロジックとメモリアプロセスに同一の微細加工技術を用いた半導体装置を提供することを目的とする。

【解決手段】メモリとロジックで用いられるコンタクトホール径に対し、コンタクトホール22開口時のデザインを揃える事により、一つのリソグラフィプロセスでの加工を可能にできる。また、コンタクトホール22開口後に行う絶縁膜形成プロセスにより、メモリ部Aのみコンタクトホール径を減少させ、且つ、コンタクトホール22側壁に形成された絶縁膜側壁により、ゲート電極16とコンタクトホール22の絶縁性を確保する。



【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板中に設けられた第一導電型ウェルと、  
前記第一導電型ウェル中に形成された複数の第二導電型の不純物拡散層と、  
前記半導体基板上、前記第二導電型の不純物拡散層上に設けられたゲート酸化膜と、  
前記第二導電型の不純物拡散層間のゲート酸化膜上に設けられたゲートと、  
前記半導体基板上、および前記ゲート近傍に設けられたコンタクトホールと、  
前記ゲート上、および前記半導体基板上に設けられた前記コンタクトホールを有する層間絶縁膜と、  
前記層間絶縁膜中のコンタクトホール底部以外のコンタクトホール表面に設けられた絶縁膜と、  
前記絶縁膜に接して、コンタクトホール内に形成された導電層とを具備することを特徴とする半導体装置。

【請求項2】半導体基板と、

前記半導体基板中に設けられた第一導電型ウェルと、  
前記第一導電型ウェル中に形成された複数の第二導電型の不純物拡散層と、  
前記半導体基板上、前記第二導電型の不純物拡散層上に設けられたゲート酸化膜と、  
前記第二導電型の不純物拡散層間のゲート酸化膜上に設けられたゲートと、  
前記ゲートの両側に設けられたゲート側壁絶縁膜と、  
前記半導体基板上、および前記ゲート近傍に設けられたコンタクトホールと、  
前記ゲート上、および前記半導体基板上に設けられたコンタクトホールを有する層間絶縁膜と、  
前記層間絶縁膜中のコンタクトホール底部以外のコンタクトホール表面に設けられた絶縁膜と、  
前記絶縁膜に接して、コンタクトホール内に形成された導電層とを具備することを特徴とする半導体装置。

【請求項3】メモリ領域およびロジック領域を有する半導体基板と、

前記半導体基板中の前記メモリ領域に設けられた第一の第一導電型ウェルと、  
前記第一の第一導電型ウェル中に形成された複数の第一の第二導電型の不純物拡散層と、  
前記第一の第一導電型ウェル上、前記第一の第二導電型の不純物拡散層上に設けられた第一のゲート酸化膜と、  
前記第一のゲート酸化膜上に設けられた第一のゲートと、  
前記半導体基板上、および前記第一のゲート近傍に設けられた第一のコンタクトホールと、  
前記第一のゲート上、および前記半導体基板上に設けられた前記第一のコンタクトホールを有する第一の層間絶縁膜と、  
前記第一の層間絶縁膜中に設けられた第一のコンタクト

ホール底部を除く、第一のコンタクトホール表面に設けられた絶縁膜と、  
前記絶縁膜に接して、第一のコンタクトホール内に形成された導電層と、  
前記半導体基板中の前記ロジック領域に設けられた第二の第一導電型ウェルと、  
前記第二の第一導電型ウェル上に設けられた複数の第二の第二導電型の不純物拡散層と、  
前記第二の第一導電型ウェル上、前記第二の第二導電型の不純物拡散層上に設けられた第二のゲート酸化膜と、  
前記第二のゲート酸化膜上に設けられた第二のゲートと、  
前記第二のゲートの両側に設けられた第二のゲート側壁絶縁膜と、  
前記第二のゲート上、前記半導体基板上に設けられた第二のコンタクトホールを含む第二の層間絶縁膜と、  
前記第二のコンタクトホール内に形成された導電層とを有する半導体装置。

【請求項4】メモリ領域およびロジック領域を有する半導体基板と、

前記半導体基板中の前記メモリ領域に設けられた第一の第一導電型ウェルと、  
前記第一の第一導電型ウェル中に形成された複数の第一の第二導電型の不純物拡散層と、  
前記第一の第一導電型ウェル上、前記第一の第二導電型の不純物拡散層上に設けられた第一のゲート酸化膜と、  
前記第一の第二導電型の不純物拡散層間の第一のゲート酸化膜上に設けられた第一のゲートと、  
前記第一のゲートの両側に設けられた第一のゲート側壁絶縁膜と、  
前記半導体基板上、および前記第一のゲート近傍に設けられた第一のコンタクトホールと、  
前記第一のゲート上、および前記半導体基板上に設けられた前記第一のコンタクトホールを有する第一の層間絶縁膜と、  
前記第一の層間絶縁膜中の第一のコンタクトホール底部以外の第一のコンタクトホール表面に設けられた絶縁膜と、  
前記絶縁膜に接して、第一のコンタクトホール内に形成された導電層と、  
前記半導体基板中の前記ロジック領域に設けられた第二の第一導電型ウェルと、  
前記第二の第一導電型ウェル上に設けられた複数の第二の第二導電型の不純物拡散層と、  
前記第二の第一導電型ウェル上、前記第二の第二導電型の不純物拡散層上に設けられた第二のゲート酸化膜と、  
前記第二の第二導電型の不純物拡散層間の第二のゲート酸化膜上に設けられた第二のゲートと、  
前記第二のゲートの両側に設けられた第二のゲート側壁絶縁膜と、

前記第二のゲート上、前記半導体基板上に設けられた第二のコンタクトホールを含む第二の層間絶縁膜と前記第二のコンタクトホール内に形成された導電層とを有する半導体装置。

【請求項5】半導体基板領域中に第一導電型領域を形成する工程と、

前記第一導電型領域上の一部に第二導電型の不純物拡散領域を形成する工程と、

前記第一導電型領域上、及び前記第二導電型の不純物拡散層上にゲート酸化膜を形成する工程と、

前記第二導電型の不純物拡散層間のゲート酸化膜上にゲートを形成する工程と、

前記ゲート側壁にゲート側壁絶縁膜を形成する工程と、

前記ゲート上、前記第二導電型の不純物拡散領域上、ゲート側壁絶縁膜上に層間絶縁膜を形成する工程と、

前記第二導電型の不純物拡散領域上の前記層間絶縁膜を除去し、前記第二導電型の不純物拡散領域を露出させ、開口部領域を形成する工程と、

前記開口部領域表面および前記層間絶縁膜表面に絶縁膜を形成する工程と、

前記絶縁膜を開口部領域側面部を残して除去する工程と、

前記開口部領域に配線を形成する工程とを具備する半導体装置の製造方法。

【請求項6】メモリ形成予定領域およびロジック形成予定領域を有する半導体基板領域を形成する工程と、

前記メモリ形成予定領域となる半導体基板領域中に第一の第一導電型領域を形成し、同時に前記ロジック形成予定領域となる半導体基板領域中に第二の第一導電型領域を形成する工程と、

前記メモリ形成予定領域中の複数の半導体装置形成予定領域を分離する第一の素子分離領域を形成し、前記ロジック形成予定領域中の複数の半導体装置形成予定領域を分離する第二の素子分離領域を形成し、前記メモリ形成予定領域、前記ロジック形成予定領域を分離する第三の素子分離領域を形成する工程と、

前記第一の第一導電型領域、前記第二の第一導電型領域上にゲート酸化膜を塗布する工程と、

前記メモリ形成予定領域中の複数の半導体装置形成予定領域に複数の第一のゲートを形成し、前記ロジック形成予定領域中の複数の半導体装置形成予定領域に複数の第二のゲートを形成する工程と、

前記第一の第一導電型領域上の一部に第一の第二導電型の不純物拡散領域を形成し、前記第二の第一導電型領域上の一部に第二の第二導電型の不純物拡散領域を形成する工程と、

前記第一ゲート側壁に第一のゲート側壁絶縁膜を形成し、前記第二ゲート側壁に第二のゲート側壁絶縁膜を形成する工程と、

前記第一のゲート上、前記第二のゲート上、前記第一の

第二導電型の不純物拡散領域上、および前記第二の第二導電型の不純物拡散領域上に層間絶縁膜を形成する工程と、

前記第一の第二導電型の不純物拡散領域上に設けられた層間絶縁膜、および第一のゲート側壁絶縁膜の一部を除去し、前記第一の第二導電型の不純物拡散領域と電氣的に接続した第一のコンタクトホールを形成する工程と、第一のコンタクトホールを形成する工程と同時に、前記第二の第二導電型の不純物拡散領域上に設けられた層間絶縁膜を除去し、前記第二の第二導電型の不純物拡散領域と電氣的に接続し、第一のコンタクトホールのコンタクト径とはほぼ等しい第二のコンタクトホールを形成する工程と、

前記第一のコンタクトホール表面、第二のコンタクトホール表面、および前記層間絶縁膜表面に絶縁膜を形成する工程と、

前記絶縁膜を前記第一のコンタクトホール側面部を残して除去する工程と、

前記第一のコンタクトホール、前記第二のコンタクトホールに配線を形成する工程とを具備する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSIの製造プロセスに関して、特にランダム性を考慮したロジックと、同一パターンの繰り返し部を考慮した大容量メモリの混載技術におけるコンタクトホールの構造、製造プロセスに関するものである。

【0002】

【従来の技術】以下、従来のメモリ混載のロジックプロセスについて、1層の配線工程までを例として述べる。ここで、以下に表示される領域Aとは、メモリ部のプロセスを表わし、領域Bとはロジック部のプロセスを表わす。まず、図16に示されるように、p型シリコン基板31上に熱酸化により薄膜のシリコン酸化膜32を例えば10nm形成し、その上にLP-CVD法(減圧CVD法)により多結晶シリコン33を200nm形成、さらにその上にLP-CVD法によりシリコン酸化膜34を200nm形成する。この後、写真蝕刻法によりSTI(シャロートレンチアイソレーション)による素子分離領域形成予定領域をレジスト35でパターンニングする。ここで、STIとは、半導体基板に溝を掘った後、TEOSなどのCVD酸化膜あるいは多結晶シリコンで溝を埋め、CMPで表面を平坦化することによって形成するものである。次に、図17に示すように、このレジスト35によるパターンをマスク使用して多結晶シリコン膜に対し選択比をもつ異方性ドライエッチングで、シリコン酸化膜34をエッチングし、レジスト35を剝離する。これにより残ったシリコン酸化膜36をマスクに、酸化膜に対して選択比が十分に取れる異方性ドライ

エッチングにて、多結晶シリコン33をエッチングした多結晶シリコン37、シリコン酸化膜34をエッチングしたシリコン酸化膜36、および薄膜の熱酸化膜であるシリコン酸化膜32をエッチングしたシリコン酸化膜38を形成する。

【0003】次に、図18に示すように、酸化膜に対して選択比が十分に取れる異方性ドライエッチングにてシリコン基板31を、例えば、 $0.5\mu\text{m}$ エッチングして、STIの溝部39を形成する。次に、図19に示すように、LP-CVD法によりシリコン酸化膜40を $1.5\mu\text{m}$ 堆積する。この後、多結晶シリコンに対して選択比の取れる化学的機械的研磨法(CMP: Chemical Mechanical Polishing)によりシリコン酸化膜40の平坦化を行う。平坦化後、シリコン酸化膜36、シリコン酸化膜40を $\text{NH}_4\text{F}$ あるいはドライエッチングにより多結晶シリコン37がちょうど露出するまでエッチングする。次に、図20に示すように、多結晶シリコン37を対シリコン酸化膜で選択比が取れる、等法性ドライエッチングにてエッチングし、埋めこみシリコン酸化膜40の膜応力低減のための熱処理を例えば $1000^\circ\text{C}$ にて行う。この後、シリコン基板31上のシリコン酸化膜38を $\text{NH}_4\text{F}$ にてエッチングする。この後、シリコン酸化膜41を、例えば $800^\circ\text{C}$ の熱酸化により形成し、Pウェル領域形成のためB(ボロン)を例えば加速電圧 $200\text{KeV}$ でドーズ量 $8\text{E}12\text{cm}^{-2}$ 打ち込みPウェル領域42を形成する。

【0004】さらに、nMOSFETのしきい値制御のためB(ボロン)を例えば加速電圧 $50\text{KeV}$ でドーズ量 $1\text{E}13\text{cm}^{-2}$ 打ち込む。この後、 $1000^\circ\text{C}$ にて30秒の熱処理により、導入した不純物の活性化を行った。次に、図21に示されるように、シリコン酸化膜41等のシリコン基板表面の熱酸化膜を除去し、ゲート絶縁膜43を $750^\circ\text{C}$ の熱酸化法で $6\text{nm}$ 形成する。しかる後にLP-CVD法により多結晶Siを $300\text{nm}$ 堆積する。その後、写真蝕刻法によりゲート電極のレジストパターン45を形成し、対シリコン酸化膜で選択比の十分に取れる異方性ドライエッチングにてゲート電極46を形成する。次に、図22に示されるように、 $800^\circ\text{C}$ の熱酸化法によりシリコン基板上で例えば $5\text{nm}$ のシリコン酸化膜を形成する。この後、Asを加速電圧 $35\text{KeV}$ にてドーズ量 $2\text{E}14\text{cm}^{-2}$ イオン注入し、 $1000^\circ\text{C}$   $\text{N}_2$ 雰囲気中で30秒の熱処理にて浅い拡散層47 (shall ow Extension)を形成する。次に、図23に示されるように、LP-CVD法により半導体基板上にシリコン窒化膜SiNを $150\text{nm}$ 堆積させ、これをシリコン酸化膜とエッチング選択比のとれる異方性エッチングにてゲート側壁48を形成する。この後、例えばAsを加速電圧 $60\text{KeV}$ にてドーズ量 $5\text{E}15\text{cm}^{-2}$ で、ゲート46およびゲート側壁48をマスクにイオン注入し、 $1000^\circ\text{C}$   $\text{N}_2$ 雰囲気中で30秒の熱処理にて浅い拡散層47

より深いソース・ドレイン拡散層49を、イオン注入された領域を中心に形成する。この為、ゲート46およびゲート側壁48をマスクにイオン注入されなかった領域は浅い拡散層47として残る。この後、ゲート電極46をn+にドーピングする。

【0005】次に、図24に示されるように、深いソース・ドレイン拡散層49上のシリコン酸化膜43を $\text{NH}_4\text{F}$ にて除去し、高融点金属を除去された領域に形成し、例えば高融点金属としてチタンおよび窒化チタン( $\text{Ti}/\text{TiN}$ )をそれぞれ $30/20\text{nm}$ 堆積させる。この後、 $700^\circ\text{C}$ の $\text{N}_2$ 雰囲気中にて30秒の熱処理を行い、硫酸・過酸化水素水の混合液中にてシリコンSiと未反応のチタンTiを除去する。この後、 $800^\circ\text{C}$ の $\text{N}_2$ 雰囲気中にて30秒の熱処理を行い、低抵抗のTiシリサイド化合物50を形成する。次に、図25に示されるように、LP-CVD法によりシリコン窒化膜SiN54を堆積する。その後、層間絶縁膜51としてBPSG膜を $100\text{nm}$ 、もしくはシリコン酸化膜を $900\text{nm}$ 堆積させ、CMP(化学的・機械的研磨法)にて平坦化を行う。次に、図26に示されるように、写真蝕刻法によりコンタクトのレジストパターンを形成し、窒化シリコンSiNとエッチング選択比のとれる異方性エッチングで、層間絶縁膜51を除去し、コンタクトホール形成予定領域を開口する。次に、図27に示されるように、例えば高融点金属であるTiをコンタクト底部で $10\text{nm}$ 堆積される様にスパッタリングさせる。この後、例えば $600^\circ\text{C}$ の $\text{N}_2$ 雰囲気中にて、30分熱処理を行いTi表面に窒化チタンTiNを形成する。この後、この窒化チタンを選択成長の基点として、CVD法にてタングステンWを $400\text{nm}$ 堆積させたのち、CMP法により層間絶縁膜51上のWを除去し、コンタクト開口部にWの埋め込み配線52を形成する。その後、AlCuを $400\text{nm}$ 、Ti/TiNを $5/60\text{nm}$ 堆積させ、写真蝕刻法によりレジストパターンを形成し、これをマスクに異方性エッチングにてAl配線53を形成する。

#### 【0006】

【発明が解決しようとする課題】以上のように、従来技術のサリサイドを有するMOSFETを形成できるわけだが、図27に示した従来技術では、図27中(A)部のメモリー部(繰り返しパターン部)と(B)部のロジック部(ランダム性の高いパターン部)に対して同一のリソグラフィ技術しか適用することが出来ない。近年のリソグラフィ技術開発の進展により、光の短波長化と、レティクルパターンに位相シフトを用いるなどして、光の波長以下の微細パターンを形成できるまで、著しい発展をしている。しかしながら、このように、光の干渉効果をも利用した微細なパターン形成技術では、光学的な近接効果を、Logic部のランダム性の高いコンタクトホールと、メモリー部で限られたパターンの繰り返ししか

ら、より微細なコンタクトを形成できるコンタクトを同一のリソグラフィプロセスで実現することが困難になっている。このため、メモリを混載したロジックプロセスにおいても、メモリ部のみに微細なコンタクト径を実現するプロセスは難しく、ロジック部とメモリ部のコンタクト径を同一にせざるを得ず、ロジックLSIに求められている、高集積化メモリの実現に大きな障害となっている。

【0007】また、上記リソグラフィ工程をメモリ部とロジック部で別々に行うことにより、パターンの微細加工は実現できるが、リソグラフィプロセスにおいては、半導体基板上にパターン転写を行う際に、転写パターンの合わせずれが必ず発生してしまうため、同一リソグラフィステップでコンタクトホールを形成した場合に対し、次工程の配線プロセスにおいて、この合わせずれを考慮して配線デザインに反映する必要がある、微細化に反してしまう。また、メモリ部とロジック部の工程を別々に行うことは、製造プロセスを複雑にし、工程数の大幅な増大を招いてしまう。本発明の目的は、このような従来技術の問題点を解決することである。本発明の目的は、メモリ部とロジック部のコンタクトホール工程を統一し、工程数の減少を図ったメモリ混載ロジックの製造方法を提供することである。また、本発明の他の目的は、素子の高集積化が図られたメモリ混載ロジックの製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明の半導体装置の構造は、半導体基板と、前記半導体基板中に設けられた第一導電型ウェルと、前記第一導電型ウェル中に形成された複数の第二導電型の不純物拡散層と、前記半導体基板上、前記第二導電型の不純物拡散層上に設けられたゲート酸化膜と、前記第二導電型の不純物拡散層間のゲート酸化膜上に設けられたゲートと、前記ゲート周辺、かつ前記半導体基板上に設けられたコンタクトホールを有する層間絶縁膜と、前記層間絶縁膜中のコンタクトホール底部以外のコンタクトホール表面に設けられた絶縁膜と、前記絶縁膜に接して、コンタクトホール内に形成された導電層とを具備することを特徴とする。本発明の半導体装置の製造方法は、半導体基板領域中に第一導電型領域を形成する工程と、前記第一導電型領域上の一部に第二導電型の不純物拡散領域を形成する工程と、前記第一導電型領域上、及び前記第二導電型の不純物拡散層上にゲート酸化膜を形成する工程と、前記第二導電型の不純物拡散層間のゲート酸化膜上にゲートを形成する工程と、前記ゲート側壁にゲート側壁絶縁膜を形成する工程と、前記ゲート上、前記第二導電型の不純物拡散領域上、ゲート側壁絶縁膜上に層間絶縁膜を形成する工程と、前記第二導電型の不純物拡散領域上の前記層間絶縁膜を除去し、前記第二導電型の不純物拡散領域を露出させ、開口部領域を形成する工程と、前記開口部領域表面

および前記層間絶縁膜表面に絶縁膜を形成する工程と、前記絶縁膜を開口部領域側面部を残して除去する工程と、前記開口部領域に配線を形成する工程とを具備する半導体装置の製造方法とを具備することを特徴とする。

【0009】

【発明の実施の形態】以下、本発明の実施例のメモリ混載に用いられるロジックプロセスについて述べる。ここで、以下に表示される領域Aとは、メモリ部のプロセスを表わし、領域Bとはロジック部のプロセスを表わす。まず、図2に示されるように、p型シリコン基板1上に熱酸化により薄膜のシリコン酸化膜2を例えば10nm形成し、その上にLP-CVD法(減圧CVD法)により多結晶シリコン3を200nm形成、さらにその上にLP-CVD法によりシリコン酸化膜4を200nm形成する。この後、写真蝕刻法によりSTIによる素子分離領域形成予定領域をレジスト5でパターンニングする。次に、図3に示すように、このレジスト5によるパターンをマスクに多結晶シリコン膜に対し選択比をもつ異方性ドライエッチングで、シリコン酸化膜4をエッチングし、レジスト5を剥離する。これにより残ったシリコン酸化膜6をマスクに、酸化膜に対して選択比が十分に取れる異方性ドライエッチングにて、多結晶シリコン3をエッチングした多結晶シリコン7、シリコン酸化膜4をエッチングしたシリコン酸化膜6、および薄膜の熱酸化膜であるシリコン酸化膜2をエッチングしたシリコン酸化膜8を形成する。

【0010】次に、図4に示すように、酸化膜に対して選択比が十分に取れる異方性ドライエッチングにてシリコン基板1を、例えば、0.5μmエッチングして、STIの溝部9を形成する。次に、図5に示すように、LP-CVD法によりシリコン酸化膜10を1.5μm堆積する。この後、対多結晶シリコンに対して選択比の取れる化学的機械的研磨法(CMP: Chemical Mechanical Polishing)によりシリコン酸化膜10の平坦化を行う。平坦化後、シリコン酸化膜6、シリコン酸化膜10をNH<sub>4</sub>Fあるいはドライエッチングにより多結晶シリコン7がちょうど露出するまでエッチングする。次に、図6に示すように、多結晶シリコン7を対シリコン酸化膜2で選択比が取れる、等方性ドライエッチングにてエッチングし、埋めこみシリコン酸化膜10の膜応力低減のためにする熱処理を、例えば1000℃にて行う。この後、シリコン基板1上のシリコン酸化膜8をNH<sub>4</sub>Fにてエッチングする。この後、シリコン酸化膜11を、例えば800℃の熱酸化により形成し、Pウェル領域形成のためB(ボロン)を例えば加速電圧200KeVでドーズ量8E12cm<sup>-2</sup>打ち込みPウェル領域12を形成する。

【0011】さらに、nMOSFETのしきい値制御のためB(ボロン)を例えば加速電圧50KeVでドーズ量1E13cm<sup>-2</sup>打ち込む。この後、1000℃にて30

秒の熱処理により、導入した不純物の活性化を行った。次に、図7に示されるように、シリコン酸化膜11等のシリコン基板表面の熱酸化膜を除去し、ゲート絶縁膜13を750℃の熱酸化法で6nm形成する。しかる後にLP-CVD法により多結晶Siを300nm堆積する。その後、写真蝕刻法によりゲート電極のレジストパターン15を形成し、対シリコン酸化膜で選択比の十分に取れる異方性ドライエッチングにてゲート電極16を形成する。次に、図8に示されるように、800℃の熱酸化法によりシリコン基板上で例えば5nmのシリコン酸化膜を形成する。この後、Asを加速電圧35KeVにてドーズ量 $2E14cm^{-2}$ イオン注入し、1000℃N<sub>2</sub>雰囲気中で30秒の熱処理にて浅い拡散層17を形成する。次に、図9に示されるように、LP-CVD法により半導体基板上にシリコン窒化膜SiNを150nm堆積させ、これをシリコン酸化膜とエッチング選択比のとれる異方性エッチングにてゲート側壁18を形成する。この後、例えばAsを加速電圧60KeVにてドーズ量 $5E15cm^{-2}$ で、ゲート16およびゲート側壁18をマスクにイオン注入し、1000℃N<sub>2</sub>雰囲気中で30秒の熱処理にて浅い拡散層17より深いソース・ドレイン拡散層19を、イオン注入された領域を中心に形成する。この為、ゲート16およびゲート側壁18をマスクにイオン注入されなかった領域は浅い拡散層17として残る。この後、ゲート電極16をn+にドーピングする。

【0012】次に、図10に示されるように、深いソース・ドレイン拡散層19、ゲート電極のSi上のシリコン酸化膜13をNH<sub>4</sub>Fにて除去し、高融点金属を除去された領域に形成し、例えば高融点金属としてチタンおよび窒化チタン(Ti/TiN)をそれぞれ30/20nm堆積させる。この後、700℃のN<sub>2</sub>雰囲気中にて30秒の熱処理を行い、硫酸・過酸化水素水の混合液中にてシリコンSiと未反応のチタンTiを除去する。この後、800℃のN<sub>2</sub>雰囲気中にて30秒の熱処理を行い、低抵抗のTiシリサイド化合物20を形成する。次に、図11に示されるように、LP-CVD法によりシリコン窒化膜SiN24を堆積する。その後、層間絶縁膜21としてBPSG膜を100nm、もしくはシリコン酸化膜を900nm堆積させ、CMP(化学的・機械的研磨法)にて平坦化を行う。次に、図12に示されるように、写真蝕刻法によりコンタクトのレジストパターンを形成し、窒化シリコンSiNとエッチング選択比のとれる異方性エッチングで、層間絶縁膜21を除去し、コンタクトホール形成予定領域を開口する。次に、図13に示されるように、層間絶縁膜21でのコンタクトホール開口後、前面にLP-CVD法により、窒化シリコンSiN25を例えば20nm堆積する。

【0013】次に、図14に示されるように、領域Bのみ写真蝕刻法により形成したレジストパターン26をマスクに等方性エッチングにて、この窒化シリコン膜25

をエッチングにより除去する。次に、図15に示されるように、このレジストパターン26を剥離し、シリコン酸化膜、シリコンSi、シリサイドに対してエッチング選択比のとれる異方性エッチングにて、ロジック部のコンタクト開口部底部の窒化シリコン膜25を剥離し、同時にメモリ部の側壁には、窒化シリコン膜25を残してコンタクトホールを開口する。次に、図1に示されるように、例えば高融点金属であるチタンTiをコンタクトホール底部で10nm堆積される様にスパッタリングさせる。ここでチタンの図示は省略する。この後、例えば600℃のN<sub>2</sub>雰囲気中にて、30分熱処理を行い、コンタクトホール底部のTi表面に窒化チタンTiNを形成する。この後、この窒化チタンを選択成長の基点として、CVD法にてタングステンWを400nm堆積させたのち、CMP法により層間絶縁膜21上のWを除去し、コンタクトホール開口部にWの埋め込み配線22を形成する。その後、AlCuを400nm、Ti/TiNを5/60nm堆積させ、写真蝕刻法によりレジストパターンを形成し、これをマスクに異方性エッチングにてAl配線23を形成する。

【0014】本方法によりメモリ部により微細なコンタクトホールを形成でき、コンタクトホールとゲート電極間に必ず上記SiN膜が側壁材料として形成されるため、リソグラフィ工程での合わせ余裕を低減し、より微細なコンタクトホールの形成を可能にできる。これにより、メモリ等の繰り返しパターンのコンタクトサイズの微細化を、ロジック部でランダム性から緩和したコンタクトサイズと両立させ、リソグラフィプロセスに影響与えずに実現でき、素子の高集積化を可能に出来る。また、メモリ等の繰り返しパターンの合わせ余裕の削減をリソグラフィプロセスに影響与えずに実現でき、素子の高集積化を可能に出来る。また、光学的な近接効果を抑え、メモリ部の微細化による製造マージンを悪化させずに、合わせ余裕の削減によりメモリセルの微細化を図ることが可能である。また、メモリとロジックで異なる最先端プロセス技術を用いて実現されるコンタクトホール径に対し、コンタクトホール開口時のデザインを揃えて同一の径にすることにより、一つのリソグラフィプロセスでの加工を可能にできる。また、コンタクトホール開口後に行う絶縁膜形成プロセスにより、メモリ部のみコンタクトホール径を減少させ、且つ、ゲート電極、コンタクトホール側壁に形成された縁膜側壁により、ゲート電極とコンタクトホールの配線の絶縁性を確保することが可能である。また、メモリ部のコンタクトピッチがロジック部のコンタクトピッチと同じにでき、上記実施例の側壁絶縁膜の形成により、下地ゲート電極とコンタクト間の余裕を小さくし、より微細なメモリセル設計を実現できる。

【0015】なお、図12で示されるコンタクトホール形成工程では、ゲート側壁絶縁膜18に対するエッチン

グ条件を変えて、ゲート側壁絶縁膜を一部除去しても良い。また、完全にゲート側壁絶縁膜を除去してコンタクトホールにゲートを露出させても良い。このような状態でもコンタクトホール内に絶縁膜25が存在する為ゲート16と配線22との間の電流リークは生じない。なお、層間膜絶縁膜21にコンタクトホール開口後、シリコン酸化膜とエッチング選択比のとれるPSG膜(PSG: Phosphor-Silicate Glassの略で、リン珪酸ガラスを意味する。シリケート・ガラスの一つで、半導体表面の安定化などに使用される。)を、窒化シリコン25の替りに用いても良い。この方法では、PSG側壁をメモリー部のみに形成後、層間絶縁膜21表面上、コンタクトホール表面上に形成された窒化シリコン膜をロジック部・メモリー部にて同時に除去し、コンタクトホール底部を開口するものである。上記ではnMOSFETを形成する工程について述べてきたが、pMOSFETを含む通常のCMOSプロセスにおいて適用できる事、拡散層・ゲート電極上に低抵抗化のためにTiシリサイドが形成されているが、このシリサイド化合物はTiのみならず、Co、Pt、Ni、W、Mo等の高融点金属でも同様の効果を得ることができ、さらにこれらが無い場合においても、本特許がメモリー混載ロジックプロセスの高集積化に効果があることは自明である。また、窒化シリコンから成るゲート側壁について述べてきているが、酸化シリコンから成る側壁の場合も本特許により効果を得ることができる。

#### 【0016】

【発明の効果】従って、本発明はコンタクトホール側壁に絶縁膜を形成することにより、メモリー部とロジック部のコンタクトホール工程を統一し、工程数の減少を図ることができる。さらに、コンタクトホール側壁に絶縁膜が存在することにより、ゲート間距離を短縮でき、コンタクトホールの高集積化が達成できるメモリー混載ロジックを提供できる。

#### 【図面の簡単な説明】

【図1】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図2】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図3】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図4】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図5】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図6】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図7】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図8】本発明における実施例の半導体装置の製造方法

の一工程を示す断面図である。

【図9】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図10】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図11】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図12】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図13】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図14】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図15】本発明における実施例の半導体装置の製造方法の一工程を示す断面図である。

【図16】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図17】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図18】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図19】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図20】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図21】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図22】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図23】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図24】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図25】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図26】従来技術における半導体装置の製造方法の一工程を示す断面図である。

【図27】従来技術における半導体装置の製造方法の一工程を示す断面図である。

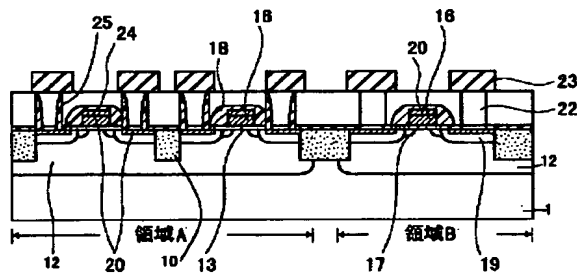
#### 【符号の説明】

- 1 Si基板
- 2 SiO<sub>2</sub>
- 3 多結晶Si
- 4 SiO<sub>2</sub>
- 5 レジスト
- 6 SiO<sub>2</sub>
- 7 多結晶Si
- 8 SiO<sub>2</sub>
- 9 STI(Shallow Trench Isolation)領域

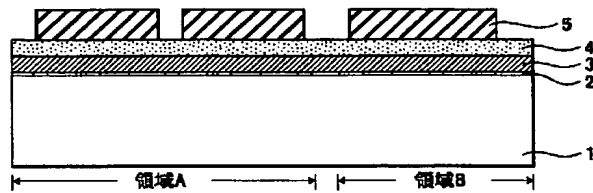
- 10 SiO<sub>2</sub>
- 11 SiO<sub>2</sub> (犠性酸化膜)
- 12 pwell
- 13 ゲート絶縁膜
- 14 多結晶Si
- 15 レジスト (ゲート電極形成用)
- 16 多結晶Si (ゲート電極)
- 17 浅いn+拡散層

- 18 SiN側壁
- 19 深いn+拡散層
- 20 Tiシリサイド
- 21 層間絶縁膜 (SiO<sub>2</sub>/BPSG)
- 22 金属配線 (コンタクトホール)
- 23 AlCu (メタル配線)
- 24 SiN
- 26 レジスト

【図1】

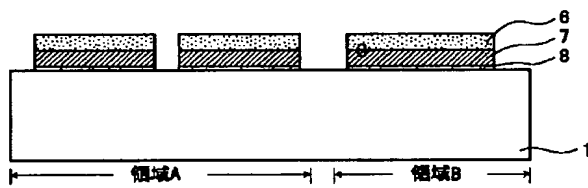


【図2】

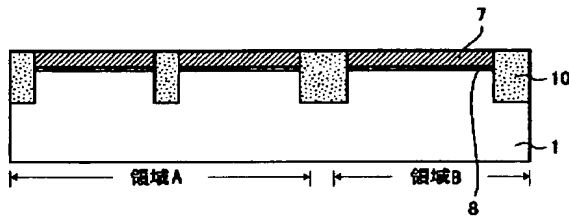


【図4】

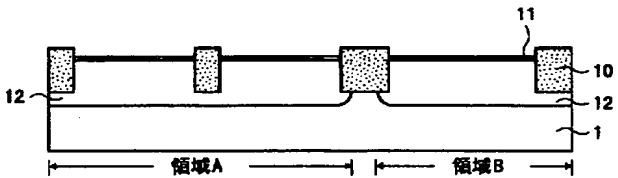
【図3】



【図5】

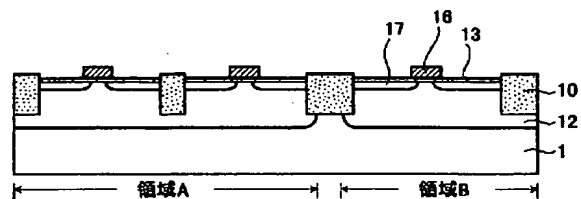
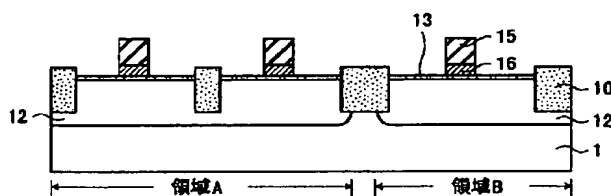


【図6】

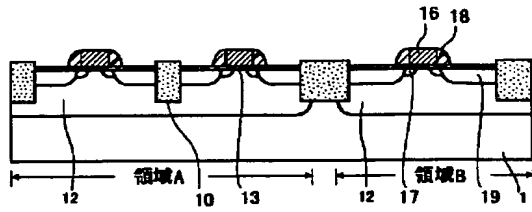


【図8】

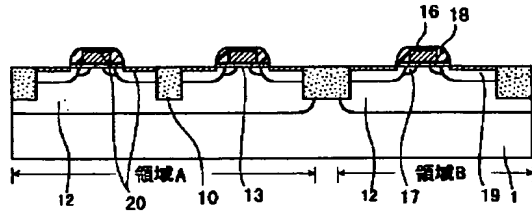
【図7】



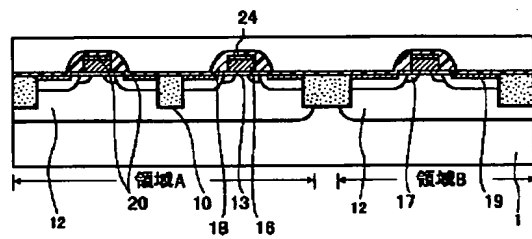
【図9】



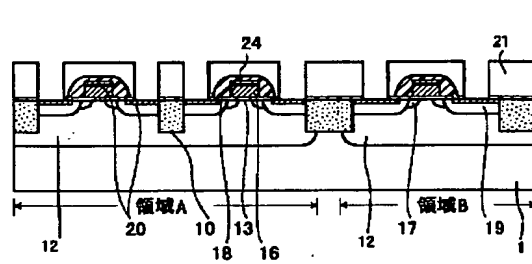
【図10】



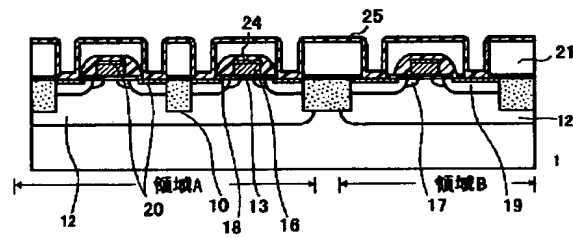
【図11】



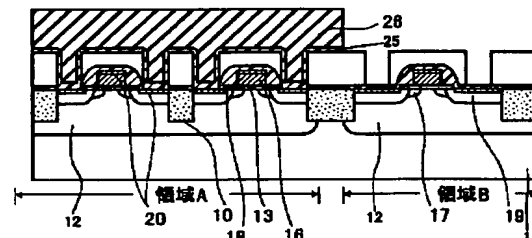
【図12】



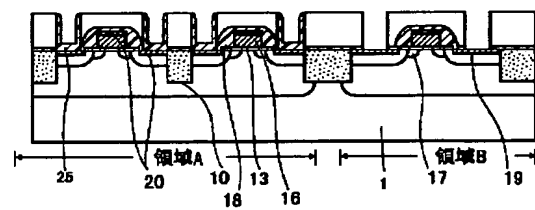
【図13】



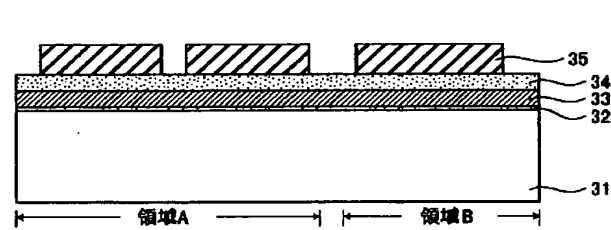
【図14】



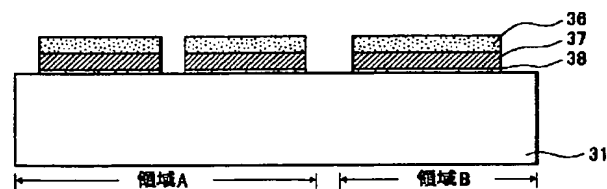
【図15】



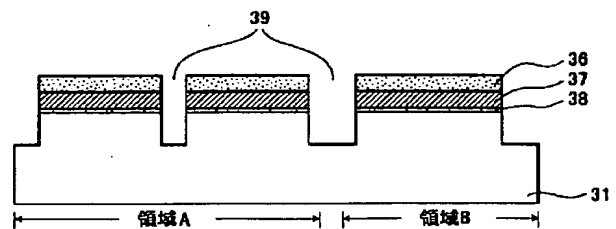
【図16】



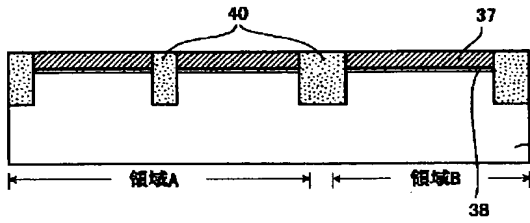
【図17】



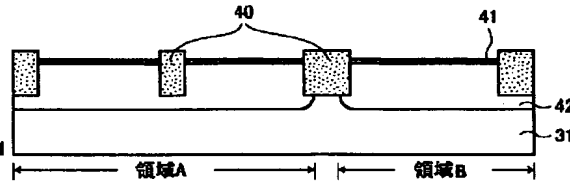
【図18】



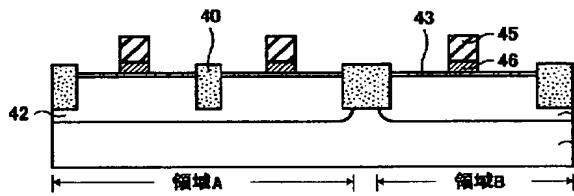
【図19】



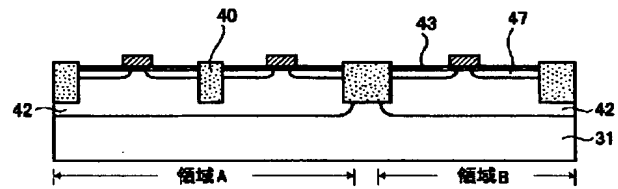
【図20】



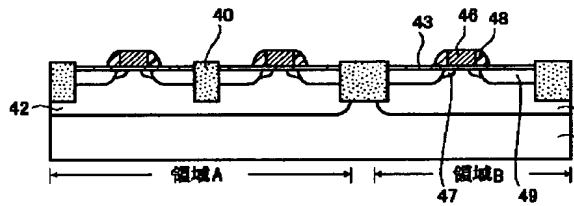
【図21】



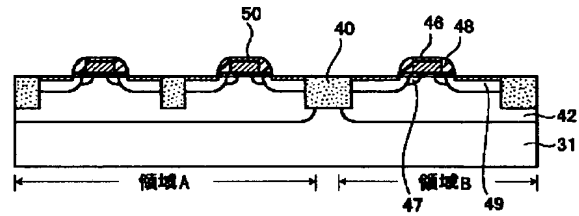
【図22】



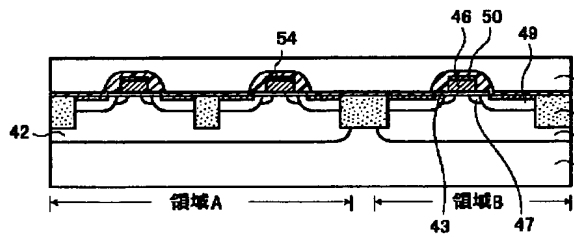
【図23】



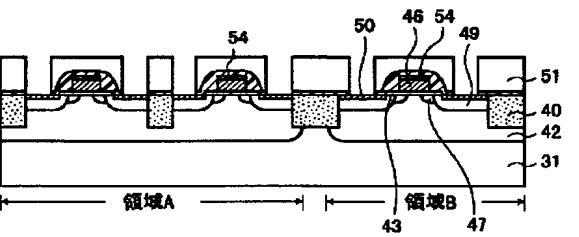
【図24】



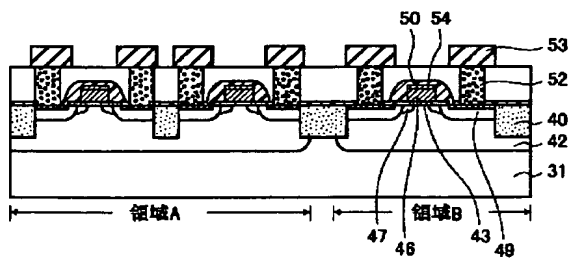
【図25】



【図26】



【図27】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB30 BB40 CC05  
DD04 DD16 DD19 DD26 DD37  
DD43 DD66 DD75 DD79 DD84  
EE09 EE17 FF13 FF14 FF18  
FF22 FF28 GG09 GG10 GG14  
GG16 HH14 HH16 HH20  
5F048 AA01 AA09 AB01 AC01 BA01  
BB06 BB08 BB12 BB14 BC06  
BE04 BF06 BF12 BF16 BG14  
5F083 AD10 BS05 GA02 GA09 GA28  
JA02 JA19 JA32 JA35 JA53  
JA56 MA06 MA19 NA01 PR03  
PR05 PR10 PR12 PR15 PR21  
PR22 PR33 PR36 PR40 PR43  
PR44 PR53 PR54 ZA12